

Sistema Escalable para Tratamiento de Señales Sensoriales

Hernández A., Ureña J., Ochoa A.¹, Mazo M., García J.J., Bravo I.

Departamento de Electrónica. Universidad de Alcalá. Alcalá de Henares, Madrid, España.
alvaro@depeca.uah.es

¹Becario del Programa AL.E.2003, procedente de la Universidad de Colima (México)

Resumen. En este documento se describe el diseño de un sistema que codifica y procesa señales sensoriales, constituido por un módulo emisor y otro receptor, ambos especificados en VHDL. Estos módulos se han definido de tal forma que permiten su configuración y escalado según los requerimientos del sensor. Fundamentalmente el sistema se compone de un codificador de secuencias Golay y un modulador QPSK en la parte de emisión; mientras que la recepción consta de un demodulador QPSK y un correlador ECG. Ambos módulos se encuentran implementados dentro de una FPGA Spartan-II de Xilinx. Los parámetros configurables considerados permiten adaptar el ancho de banda final presentado por el sistema, así como las condiciones de ruido soportadas, a costa de una mayor cantidad de recursos computacionales.

1 Introducción

Existen una infinidad de aplicaciones de sistemas sensoriales en las cuales es necesario tener una comunicación periódica y continua entre un emisor y un receptor, o detectar de manera fiable la interrupción de la comunicación, sin que ésta resulte afectada por la degradación de las características del canal de transmisión (generada por cambios ambientales, el desajuste entre el emisor y receptor, una relación señal ruido baja,...).

El sistema presentado está concebido para su aplicación en módulos sensoriales de ultrasonidos, infrarrojos o microondas; concretamente para la detección de áreas libres de obstáculos. En cualquier caso se dispondrá de un módulo emisor y otro receptor enfrentados, que en funcionamiento normal mantendrán un enlace permanente. La presencia de un obstáculo que interfiera completamente el enlace será detectada. La peculiaridad del sistema radica en que funciona en condiciones de muy baja relación señal ruido (configurable) y que se puede adaptar a las particularidades de cada sistema sensorial, principalmente a su ancho de banda.

A continuación, en el apartado 2 se presenta el análisis de los algoritmos utilizados y su implementación sobre una FPGA; en el apartado 3 se muestran los requerimientos de recursos en función de los parámetros de escalado; y, finalmente, en la sección 4 se comentan algunas conclusiones acerca del sistema implementado.

2 Algoritmos propuestos

El funcionamiento global está basado en el uso de pares de secuencias complementarias Golay [1] [2] en el procesamiento de una señal sensorial genérica [3] [4]. Estos pares se caracterizan por tener una elevada función de auto-correlación, lo que permite fácilmente su captura e identificación en los módulos de recepción, incluso en condiciones de ruido muy desfavorables.

Sea $A[n]$ y $B[n]$ la secuencias que forman un determinado par Golay, se cumple que (1):

$$C_{AA}[n] + C_{BB}[n] = \begin{cases} 2N, & n = 0 \\ 0, & n \neq 0 \end{cases} \quad (1)$$

Donde $A[n]$ y $B[n]$ son el par de secuencias complementarias Golay de valores $\{-1, +1\}$; N es el número de bits, o la longitud de las mismas; y $C_{AA}[n]$ y $C_{BB}[n]$ son las auto-correlaciones de ambas secuencias $A[n]$ y $B[n]$. La fig. 1 muestra el resultado de dicho proceso para un par de secuencias complementarias Golay de 32 bits y 128 bits.

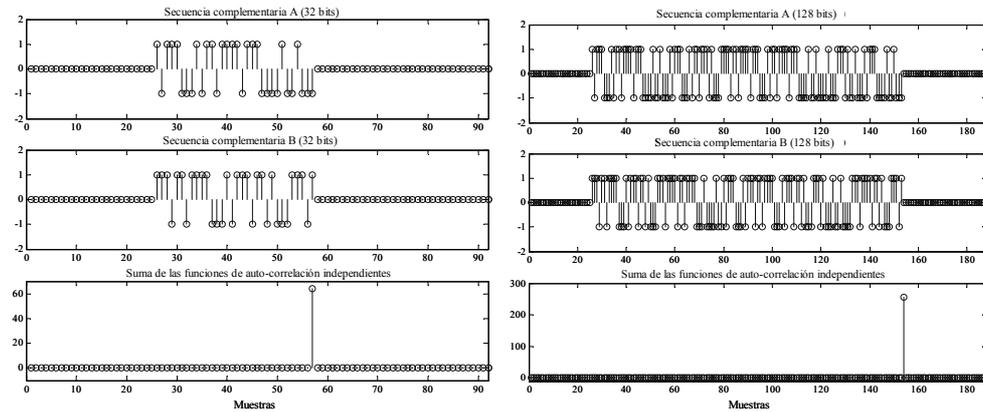


Fig. 1. Ejemplo de auto-correlación de secuencias Golay de 32 bits y de 128 bits.

El sistema general propuesto puede ser dividido en dos partes claramente diferenciadas: un bloque emisor y un bloque receptor. Ambos son tratados en profundidad en las siguientes secciones.

2.1 Módulo emisor

El módulo emisor se encarga de codificar las secuencias de datos generadas por un EGG [5] e introducidas de forma serie a un modulador QPSK para después emitir la señal por algún medio como pueden ser ultrasonidos o infrarrojos. En la fig. 2 se muestra el diagrama de bloques general del módulo emisor y cómo está estructurado internamente.

Los pares de secuencias Golay empleados se generan fuera de proceso mediante un Generador Eficiente Golay (EGG) [5]. Dicho módulo permite obtener secuencias de longitud N a partir de una semilla $\mathbf{W}=[w_0, w_1, \dots, w_{s-1}]$ con s bits, de tal forma que $N=2^s$. En la fig. 3 se muestra el diagrama de bloques del EGG.

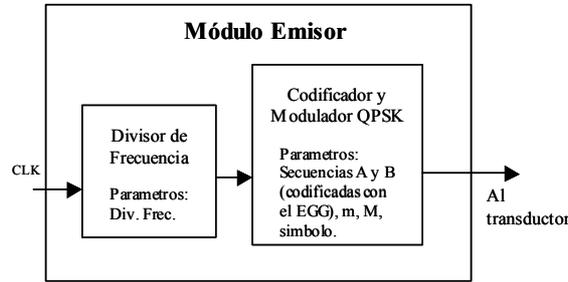


Fig. 2. Diagrama de bloques del módulo emisor propuesto.

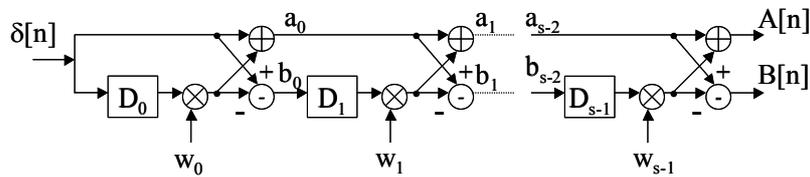


Fig. 3. Esquema del generador de secuencias Golay (EGG).

Donde $A[n]$ y $B[n]$ son las secuencias complementarias del par obtenido; $\mathbf{W}=[w_0, w_1, \dots, w_{s-1}]$ es la semilla de generación; y D son módulos de retardo tal que $D_0=2^{s-1}$, $D_1=2^{s-2}$, ..., $D_{s-1}=2^0$.

La generación de dichas secuencias debe realizarse para una longitud N , la cual condiciona en gran medida, tanto las prestaciones del sistema, como las necesidades computacionales del mismo. Por ello, la longitud N se ha tratado como un parámetro configurable, cuya modificación permite la adaptación del sistema a diversas circunstancias.

Dichas secuencias son moduladas, según una variante digital QPSK con dos objetivos: en primer lugar, adaptar la señal final $e_i[n]$ al ancho de banda característico del transductor i empleado; y en segundo lugar, se combinan ambas secuencias complementarias para obtener una única señal a emitir.

El modulador emplea dos parámetros que configuran su funcionamiento. Por un lado, el parámetro m representa el número de periodos del símbolo $S[n]$ empleado en la modulación (véase la fig. 4); por otro lado, el parámetro M refleja el número de muestras por periodo del símbolo $S[n]$, tras su muestreo en recepción (se encuentra, por lo tanto, determinado por la frecuencia de adquisición f_s , que será analizada posteriormente).

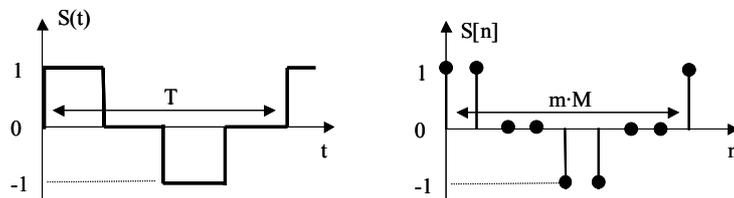


Fig. 4. Símbolo $S[n]$ empleado en la modulación propuesta.

La fig. 5 muestra el diagrama a bloques de su implementación, en donde se emplean como parámetros de entrada, las secuencias $A[n]$ y $B[n]$, la longitud N , el símbolo $S[n]$, y los parámetros m y M . Cabe mencionar que todos estos parámetros se incluyen dentro de su especificación y son guardados en la memoria interna de la FPGA.

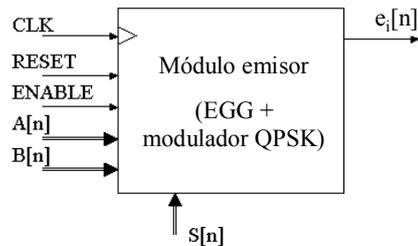


Fig. 5. Esquema del módulo emisor propuesto.

2.2 Módulo receptor

El modulo receptor se encarga de capturar una señal a través de un transductor con su respectiva etapa de acondicionamiento, para después digitalizarla en un bloque ADC. Esta señal es procesada por un demodulador QPSK y un correlador ECG (Correlador Eficiente Golay) [5] [6], encargados de buscar las secuencias complementarias Golay A y B en las componentes de la modulación recibidas I y Q, respectivamente. En la fig. 6 se puede observar el diagrama de bloques del mismo. Su configuración se basa igualmente en los parámetros que definieron en el modulo emisor, ya que es necesario que ambos estén sincronizados. Estos parámetros son m y M , la semilla W , y la longitud de las secuencias N .

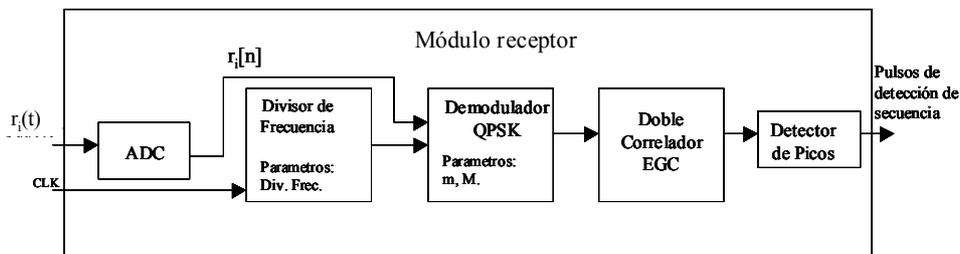


Fig. 6. Diagrama de bloques interno del módulo receptor propuesto.

La señal $r_i(t)$ recibida en el transductor i es digitalizada con una frecuencia f_s para obtener $r_i[n]$. A partir de esta última señal, el demodulador QPSK tiene la capacidad de rescatar la información que con anterioridad fue modulada, teniendo en cuenta los parámetros que fueron establecidos en el modulador. Aunque en el diseño del demodulador no se incluye el símbolo $S[n]$, éste está presente mediante sus parámetros m y M .

En la fig. 7 se muestra el diagrama de bloques del demodulador desarrollado. Se puede observar que puede reducirse a una única operación de correlación para obtener la componente $Q_i[n]$ [6]. La otra componente, $I_i[n]$, se puede obtener mediante un simple desplaza-

miento de $M/4$, en lugar de otro proceso de correlación (siempre más costosa en términos de recursos). Esta posibilidad está justificada por las características del símbolo de la modulación $S[n]$ empleado.

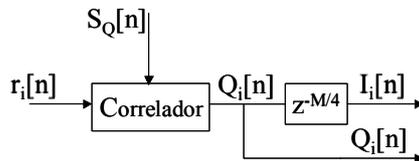


Fig. 7. Demodulación QPSK.

Donde $S_i[n]$ y $S_Q[n]$ son los símbolos de cada componente, obtenidos a partir del general $S[n]$ según: $S_i[n]=S[n]$ y $S_Q[n]=S[n-M/4]$. El proceso de correlación de la demodulación ha sido tratado como una ecuación en diferencias, y obtenido de forma genérica para los distintos parámetros considerados en (2).

$$Q_i[n] = Q_i[n-1] + \sum_{k=0}^{m-M-1} \left\{ (-1)^{k+1} \cdot r_i \left[n - 2 \cdot k \cdot \frac{M}{4} \right] + (-1)^{k+2} \cdot r_i \left[n - (2 \cdot k + 1) \cdot \frac{M}{4} \right] \right\} \quad (2)$$

Una vez obtenidas ambas componentes, se procede a determinar en cada una de ellas las correspondientes secuencias $A[n]$ y $B[n]$ correspondientes al par Golay empleado. Para dicha búsqueda, se ha empleado el esquema del Correlador Eficiente Golay (EGC). Éste se ha modificado, como se puede observar en la fig. 8, para obtener, únicamente a partir de la señal $Q_i[n]$, el resultado de la correlación entre $I_i[n]$ y $A[n]$ en la rama superior $S_{iA}[n]$, y en la inferior $S_{iB}[n]$, de la correlación entre $Q_i[n]$ y $B[n]$ [6]. Esta simplificación a un único EGC es posible ya que ambas componentes, $I_i[n]$ y $Q_i[n]$, son iguales salvo en un retardo de $M/4$.

El resultado del correlador $S_i[n]$ se obtiene de la suma de las correlaciones parciales, $S_{iA}[n]$ y $S_{iB}[n]$, y debe ser analizada para detectar sus máximos locales, indicativos de la recepción de la emisión codificada.

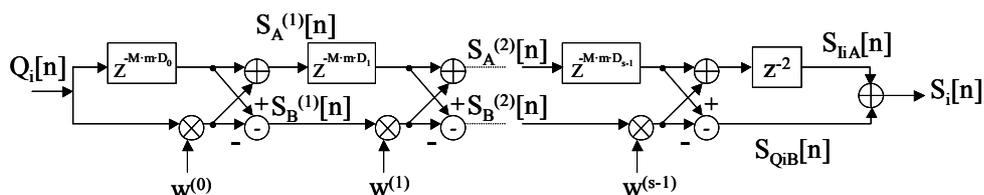


Fig. 8. Correlador Eficiente Golay (EGC) adaptado para la detección de las secuencias complementarias $A[n]$ y $B[n]$ en la componente $Q_i[n]$.

El detector de máximos locales, o picos, se muestra en la fig. 9. Se analiza cada muestra de la señal $S_i[n]$, y en caso de que sea superior a un umbral estático U_e , la muestra se puede considerar como un máximo candidato. Dicho candidato será validado definitivamente como un máximo cuando no se encuentre otro valor superior dentro de una ventana de análisis de anchura F_o , que evita que se validen máximos próximos (lóbulos laterales del proceso de demodulación no coherente). La señal resultado $P_i[n]$ variará entre los valores

lógicos de '0' y '1', siendo este último valor el indicativo de recepción de las secuencias emitidas.

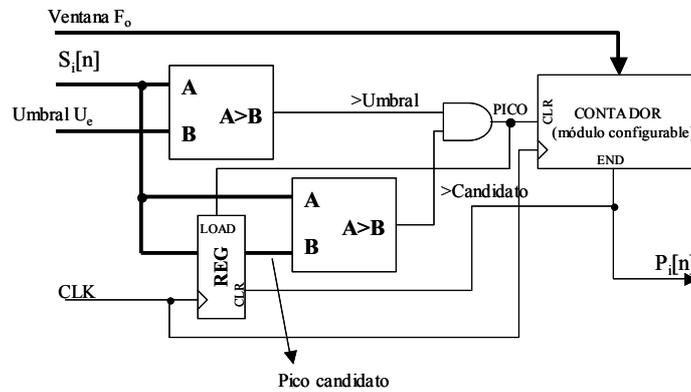


Fig. 9. Diagrama de bloques del detector de máximos locales implementado.

3 Resultados

Las pruebas experimentales del sistema se han realizado sobre un sistema B5-X300 [7], basado en una FPGA XC2S300E de Xilinx [8], según se observa en la fig. 10.

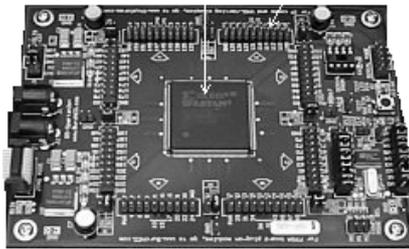


Fig. 10. Aspecto físico de la plataforma, basada en la FPGA XC2S300E de Xilinx, empleada para la implementación del sistema propuesto.

Se ha realizado un análisis comparativo de los recursos computacionales necesitados por la implementación del sistema propuesto, en función del valor asignado a la longitud N de las secuencias empleadas, así como a los parámetros m y M , que definen la modulación digital (véase la fig. 11). En ella se observa que el número de recursos necesitados (número de puertas equivalentes) resulta proporcional al incremento de cada uno de estos parámetros.

El incremento de la longitud N supone una mejora en la ganancia de proceso del sistema, lo que lleva a tolerar menores relaciones señal-ruido de entrada, asegurando el correcto funcionamiento del sistema. Sin embargo, el valor elegido para la misma debe guardar

cierto compromiso con los recursos requeridos, ya que éstos aumentan considerablemente cada vez que se agrega un nuevo bit a la semilla W , duplicándose la longitud N .

En una situación similar se encuentran los parámetros m y M : el primero de ellos determina la cantidad de energía emitida por el transductor empleado, modificando la distancia alcanzada en cada emisión; por otro lado, el valor M influye en la recuperación de la señal capturada en el receptor, modificando la frecuencia de muestreo f_s . El aumento de estos parámetros implican siempre un mejor funcionamiento del sistema, acompañado de una mayor necesidad de recursos, por lo que nuevamente será necesario adoptar una solución de compromiso según cada circunstancia.

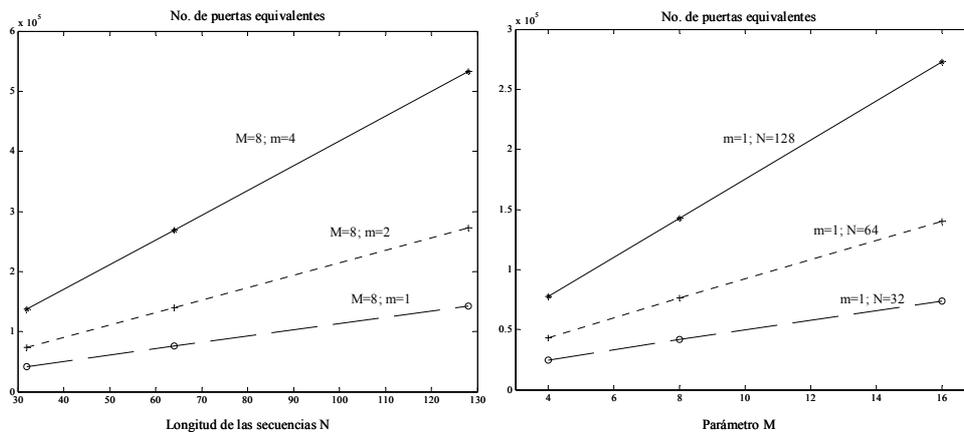


Fig. 11. Recursos computacionales requeridos en función de la longitud de las secuencias Golay empleadas.

4 Conclusiones

Se ha desarrollado un sistema de tratamiento de una señal sensorial genérica, a partir de la codificación de la misma mediante pares de secuencias complementarias Golay. El sistema presenta una serie de parámetros configurables, de forma que sea posible adaptarlo a las necesidades particulares de un determinado transductor, o de un determinado entorno. El sistema ha sido validado sobre una plataforma basada en un FPGA Spartan-II. Igualmente, se ha realizado un estudio de las necesidades computacionales del sistema en función de la configuración asignada al mismo. Actualmente se está trabajando en el empleo de estos módulos en sensores de ultrasonidos y de infrarrojos, concretamente para la detección de obstáculos en vías ferroviarias en condiciones meteorológicas cambiantes y que pueden ser bastante adversas.

El sistema desarrollado ha sido especificado en VHDL, de forma que éste se escala a las necesidades de cada caso como paso previo a la síntesis. En cualquier caso, la definición realizada sirve como punto de partida para futuros sistemas, cuya adaptación o escalado pueda llevarse a cabo en tiempo de ejecución, a partir de la modificación de los mencionados parámetros, según las distintas metodologías existentes.

Agradecimientos

Este trabajo ha sido posible gracias a la financiación del Ministerio de Ciencia y tecnología: proyecto TELEVÍA (ref. COO1999-AX049).

References

1. Golay M.J.E.: Complementary sequences. In: IRE Transactions, vol. Information Theory 7, pp. 82-87, 1961.
2. Tseng C.C., Liu C.L.: Complementary sets of sequences. In: IEEE Transactions on Information Theory, vol. IT-18, no.5, pp. 644-652, 1972.
3. Díaz V., Ureña J., García J.J., Mazo M., Bueno E., Hernández A.: Using Golay complementary sequences for multi-mode ultrasonic operation. In: Proc. of 7th IEEE International Conference on Emerging Technologies and Factory Automation (ETFA'99), pp. 599-604, Barcelona (España), 1999.
4. Cour-Harbo A.: Robust and low-cost active sensors by means of signal processing algorithms. In: PhD. Thesis. Department of Control Engineering, Aalborg University, 2002.
5. Popovic B.M.: Efficient Golay correlator. In: IEE Electronics Letters, vol. 35, no.17, 1999.
6. Hernández A., Ureña J., García J.J., Díaz V., Mazo M., Hernanz D., Dérutin J.-P., Sérot J.: Ultrasonic signal processing using configurable systems. In: Proc. of 15th World Congress on the International Federation of Automatic Control (IFAC'02), Barcelona (España), 2002.
7. BurchED, Inc.: <http://www.burchED.com>, 2003.
8. Xilinx, Inc.: Spartan-II 2.5V FPGA Family: Functional Description. In: Product Specification (<http://www.xilinx.com>), 2000.