"Sistema genérico especificado en VHDL para codificación y procesamiento de señales sensoriales"

Alberto Ochoa[1], Álvaro Hernández, Jesús Ureña, J. Jesús García, Manuel Mazo

Departamento de Electrónica de la Universidad de Alcalá
Campus Universitario s/n, 28805 Alcalá de Henares, Madrid (España)
Emails: albertobrust@hotmail.com ; alvaro@depeca.uah.es ; urena@depeca.uah.es
jesus@depeca.uah.es ; mazo@depeca.uah.es

Resumen: En este trabajo se describe un sistema de proceso de señales, aplicable a diversos sistemas sensoriales donde se emplee un elemento emisor y otro receptor, que se ha desarrollado en *VHDL*, procurando la máxima generalidad. La principal particularidad del sistema estriba en que se configura y dimensiona fácilmente, de acuerdo con las características y prestaciones exigibles al sistema sensorial. Básicamente se ha implementado, para el emisor, un sistema de codificación con *Secuencias Golay* y un *Modulador BPSK* o *QPSK* digital. En cuanto al receptor, se incluye el demodulador y el decodificador (basado en un *Correlador Digital Eficiente*). Ambos sistemas se han incluido para pruebas en una *FPGA Spartan* de *XILINX*. La adaptación del sistema al ancho de banda disponible y a las condiciones de nivel de señal a ruido tolerables implica una gran variación de los recursos exigibles para la implementación de los algoritmos.

Palabras clave: Configuración *VHDL*, *Secuencias Golay*, correlador eficiente, sensores inteligentes.

1. Introducción

Son numerosas las aplicaciones de sistemas sensoriales que requieren mantener un enlace de comunicación periódica y continuada entre un emisor y un receptor, o detectar de manera fiable el corte de esta comunicación sin que ésta se vea perturbada por la degradación parcial de las características del canal de comunicación (motivado por cambios ambientales, estructurales - por ejemplo desalineamientos entre emisor y receptor-, de caída de potencia de emisión, etc.). En todos estos casos se va a considerar que el efecto es una caída de la relación señal a ruido en el receptor. También se supone que el canal de transmisión es *AWGN*: con ruido asociado gaussiano.

El sistema que aquí se presenta está concebido para su aplicación en módulos sensoriales de ultrasonidos, infrarrojos o microondas; concretamente para la detección de áreas libres de obstáculos. En cualquier caso se dispondrá de un módulo emisor y otro receptor enfrentados, que en funcionamiento normal mantendrán un enlace permanente. La presencia de un obstáculo que interfiera completamente el enlace

[1] Becario del Programa AL.E.2003, procedente de la Universidad de Colima (México).

disparará una alarma. La peculiaridad del sistema radica en que funciona en condiciones de muy baja relación señal a ruido (configurable) y que se puede adaptar a las particularidades de cada sistema sensorial, principalmente su ancho de banda.

A continuación, en el apartado 2 se presenta el estado de la cuestión de los algoritmos implementados; en la sección 3 se describe la implementación de dichos algoritmos sobre una *FPGA*; en el apartado 4 los resultados obtenidos y algunas conclusiones acerca del sistema implementado.

2. Estado de la cuestión

El empleo de una codificación de la señal emitida y posterior decodificación para mejorar las prestaciones de precisión y funcionamiento en condiciones de ruido adversas, ha sido ampliamente utilizado en diversos tipos de sistemas sensoriales. Estos métodos se basan en la emisión de una señal codificada, cuyo eco es buscado y localizado en la señal recibida mediante técnicas de correlación [1] [2] [3].

En lo que respecta a los algoritmos utilizados, aprovechando las propiedades de los pares de secuencias complementarios [4], [5], se realiza una codificación y posterior modulación de la señal emitida. En cuanto al receptor, tras la demodulación se diseña un filtro correlador en el receptor que permite la extracción de la emisión, incluso en presencia de gran potencia de ruido. Dicho filtro aumenta su capacidad de discriminación según se aumenta la longitud, N, de las secuencias complementarias empleadas, como sucede en el empleo que se ha realizado de las secuencias complementarias en otros ámbitos [6]. Aprovechando los correladores eficientes Golay [7] la implementación del filtro crece en complejidad sólo según el $\log_2(N)$, por lo que se puede implementar sin necesidad de muchos recursos (en este caso sobre dispositivos *FPGA* [8],), incluso para altos valores de N.

3. Algoritmo adaptado e implementación sobre una FPGA

El módulo emisor se encarga de codificar las secuencias de datos generadas por un *Generador Eficiente Golay* [7] e introducidas en forma serie a un *Modulador QPSK* para después emitir la señal por algún medio como pueden ser ultrasonidos o infrarrojos. *El módulo receptor* es el encargado de captar una señal a través de un transductor con su respectiva etapa de potencia, para después de haber sido recibida llevarla a un ADC que la convertirá en formato digital. Esta señal digitalizada ahora se introduce en un *Demodulador QPSK* el cual es el encargado de decodificar la señal, y la respuesta de éste alimentará a un *Correlador ECG* (Correlador Eficiente Golay) que es el que se encarga de buscar en los datos recibidos las componentes I y Q de las secuencias A y B, respectivamente. Después se introduce en un módulo llamado Detector de Picos las correlaciones sumadas, que tiene la finalidad de que cuando el sistema detecte las secuencias enviadas, generará un pulso. En la figura 1 se puede observar un diagrama con los bloques del sistema implementado.

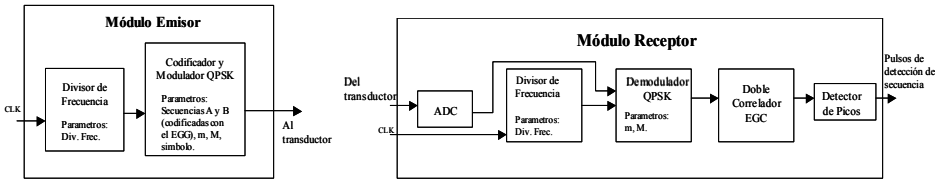

Fig. 1.- Diagrama de bloques general del sistema implementado (emisor y receptor)

3.1. Módulo emisor

Las secuencias que son introducidas en una memoria interna de la *FPGA* son pares de secuencias *Golay* de longitud *N*, con valores {+1, -1}, que se forma off-line de acuerdo con el esquema de la figura 2, siendo *A[n]*, *B[n]* el par de secuencias Golay y $W = [W_0, W_1, \ldots, W_{s-1}]$ la semilla de generación con $N=2^{s-1}$. Si $C_{AA}[n]$ y $C_{BB}[n]$ son las auto-correlaciones de ambas secuencias, se cumplirá:

$$C_{AA}[n] + C_{BB}[n] = \begin{cases} 2N, & n = 0 \\ 0, & n \neq 0 \end{cases} \qquad (1)$$

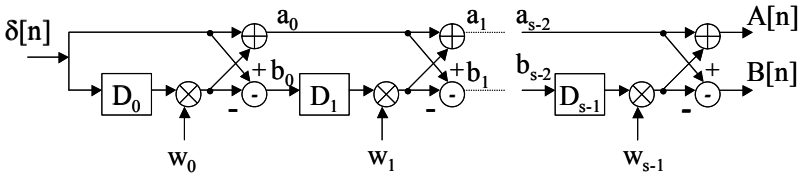

Fig. 2. Esquema del Generador de Secuencias Golay (EGG)

La generación del par de secuencias *Golay* debe realizarse para un valor de *N* determinado, lo que condicionará la capacidad de discriminación del algoritmo posterior de correlación.

Para combinar ambas componentes del par *Golay* se procede a una modulación *QPSK* digital. Este modulador permite también adaptar la señal a transmitir al ancho de banda disponible en el sensor y en la electrónica asociada. Esto se define con dos variables que son: *m* que es el número de periodos del símbolo y *M* que es el número de muestras por período del símbolo tras su muestreo en el receptor (depende de la frecuencia de muestreo que se quiera contemplar).

Tras la implementación *VHDL*, el módulo emisor puede verse como un bloque (véase la figura 3) en que el par *Golay* (*A[n]*, *B[n]*), de longitud *N*, y el símbolo de modulación *S[n]*, caracterizado por *m* y *M*, están almacenados en la memoria interna de la propia *FPGA*. Al activarse la señal *ENABLE* se dispara el proceso y a la salida aparece la señal modulada.

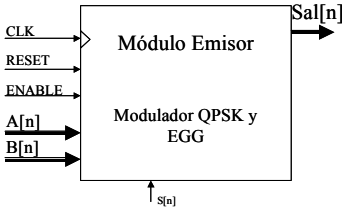

Fig. 3.- Bloque emisor.

3.2. Módulo receptor

El módulo receptor se adaptará, en la compilación, a los parámetros que se han definido en la sección anterior: *N*, *m*, *M* y *W[n]*. El *Demodulador QPSK* se realiza en modo asíncrono mediante una correlación con el símbolo *S[n]* empleado anteriormente en la modulación, obteniéndose las componentes de salida en fase (I) y en cuadratura (Q), del siguiente modo, siendo *r[n]* la señal recibida tras el conversor A/D:

$$I[n]=C_{rS_I}[n]=\sum_{k=0}^{M\cdot m-1} r_i[k+n]\cdot S[k]$$
$$Q[n]=C_{rS_Q}[n]=\sum_{k=0}^{M\cdot m-1} r_i[k+n]\cdot S\left[k-\frac{M}{4}\right] \qquad (2)$$

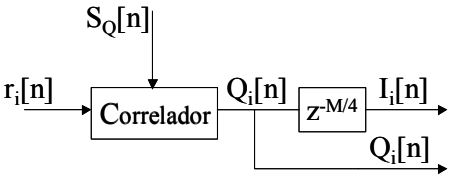

Fig. 4.- Demodulador QPSK

Cabe mencionar que la componente I se puede obtener a partir de la Q sin más que retardar convenientemente la primera, tal y como se muestra en la figura 4.

El proceso continúa con la correlación de la componente *I[n]*, diezmada de acuerdo con la duración del símbolo de modulación, con la secuencia originaria *A[n]*. Idéntico proceso se realiza con la componente *Q[n]* y la secuencia originaria *B[n]*. Posteriormente el resultado de estas correlaciones se suma, y sobre dicha suma se realiza una búsqueda de máximos locales (picos) que manifiestan la presencia de la codificación que se emitió.

Ambas correlaciones se realizan de acuerdo con el esquema de la figura 5, que representa una adaptación del *Correlador Eficiente Golay* propuesto en [7].

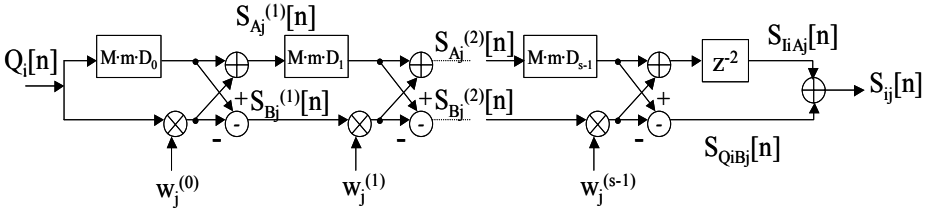

Fig. 5. Esquema del doble correlador eficiente Golay (EGG)

Nótese que el correlador entrega la correlación de Q con A y la correlación de Q con B, a partir de la componente *Q[n]* y un retardo final en el resultado de la correlación con *A[n]*. En dicha figura 5, los bloques rectangulares representan retardos implementados con una profundidad de memoria indicada sobre los mismos. Nótese que los mismos dependen de los valores de *m* y *M* definidos anteriormente. Por supuesto que la semilla $[W_0, W_1, \ldots, W_{s-1}]$ es exactamente la misma que se definió en el módulo emisor (recuérdese el diagrama de la figura 2).

Para su implementación, se puede resumir que el *EGC* está dividido en dos elementos principales: uno es la unidad de operación *OP*, de la cual su algoritmo es el que viene representado por la figura 6, y otro es el número de retardos entre etapas que viene dado por la longitud *N* de las secuencias manejadas y que se puede ver en la figura 7.

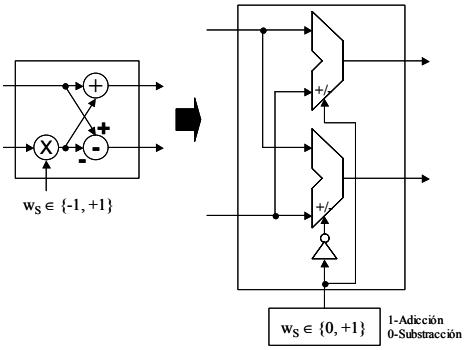

Fig. 6.- Módulo OP

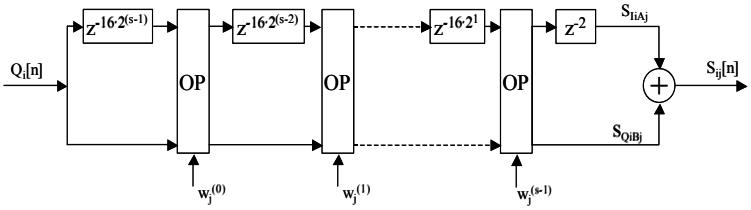

Fig. 7.- Implementación del doble correlador a partir de módulos OP y retardos

4. Resultados y conclusiones

El sistema ha sido implementado en *VHDL* en el entorno de *Xilinx* de manera genérica para que sea sumamente flexible y pueda aplicarse en cualquier proyecto a desarrollar. Al concluir cada diseño, se realizaron simulaciones temporales y la correspondiente validación del diseño. Finalmente se probó en una tarjeta de pruebas sobre una *FPGA* de la familia *Spartan* de *Xilinx* (en las figuras 8 y 9 se pueden observar algunas señales reales obtenidas). La frecuencia de trabajo de la tarjeta de pruebas es de 50 MHz y usando un divisor de frecuencia para cada modulo se obtuvo una frecuencia de 5 MHz.

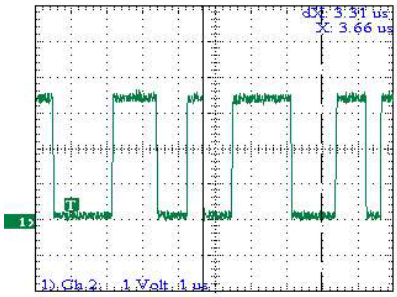

Fig. 8. Salida del Modulador QPSK
Muestra un periodo completo del símbolo

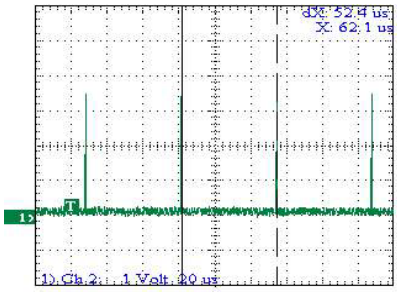

Fig. 9. Salida del Detector de Picos
Muestra que cada 52.4 µs se detecta una secuencia.

La velocidad máxima de procesamiento después de realizar su síntesis, dio como resultado un valor aproximado a 59MHz y el sistema es implementado en 330 elementos lógicos. Cabe mencionar que el área utilizada por estos elementos lógicos es del 35 %, para una secuencia de datos de 64 bits, y una secuencia de 1024 bits puede ser implementada con facilidad.

Como conclusión final se puede indicar que se han obtenido módulos genéricos (algoritmos de diseños) que pueden configurar o programarse para cualquier tipo de secuencia, definiendo entonces los parámetros *N*, *M* y *m* que mejor se adapten al mismo. La ventaja de esto es que se puede usar como una caja negra que con sólo modificar sus parámetros trabajará en la forma que desee el diseñador sin tener que volver a especificar el modulo.

Actualmente se está trabajando en el empleo de estos módulos en sensores de ultrasonidos y de infrarrojos, concretamente para la detección de obstáculos en vías ferroviarias en condiciones meteorológicas cambiantes y que pueden ser bastante adversas.

5. Agradecimientos

Este trabajo ha sido posible gracias a la financiación del Ministerio de Ciencia y Tecnología en España: proyecto TELEVÍA (referencia COO1999-AX049) y la Acción Integrada Picasso (HF-2000-0017).

6. Referencias

[1] G. Hueber, T. Ostermann, T. Bauernfind, R. Raschhofer, R. Nagelauer. "New approach of ultrasonic distance measurements in robots applications". *V Int. Conf.of Signal Processing, ICSP 2000"*. pp. 2066-2069.

[2] K. Nakahira, E. Kodama, S. Morita, S. Okuma. "Distance measurement by an ultrasonic system based on a digital polarity correlator". *IEEE Trans. on Insrumentation and Measurements.* Vol. 50, nº 6, pp. 1748-1752.

[3] A. M. Sabatini. "A digital processing technique for ultrasonic signal modelling and classification". *IEEE Trans. on Insrumentation and Measurements.* Vol. 50, nº 1, pp. 15-21.

[4] Golay, M.J.E.: 'Complementary series', *IRE Trans*., 1961, IT-7, pp. 82-87.

[5] Tseng, C.-C. and Liu, C.L.: "Complementary Sets of Sequences", *IEEE Trans. Inform. Theory*, vol. IT-18, No. 5, Sep. 1972, pp. 644-652.

[6] V. Díaz, J, Ureña, J.J. García, M. Mazo, E. Bueno, A. Hernández. "Using Golay complementary sequences for multi-mode ultrasonic operation". *7th IEEE International Conference on Emerging Technologies and Factory Automation* (ETFA99). Vol. 1, pp. 599-604. Barcelona 1999.

[7] Popovic B. M. (1999). Efficient Golay correlator. *IEE Electronics letters*, Vol. 35 No. 17.

[8] Álvaro Hernández, Jesús Ureña, J. J. García, Vicente Díaz, Manuel Mazo, Daniel Hernanz, Jean-Pierre Dérutin, Jocelyn Serot. "Ultrasonic signal processing using configurable systems". *XV IFAC World Congress.* Barcelona, Julio 2002 (aceptado para presentación).